

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-343617

(43) 公開日 平成5年(1993)12月24日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/04 27/108	C	8427-4M 8728-4M	H 0 1 L 27/10	3 2 5 J

審査請求 未請求 請求項の数2(全7頁)

(21) 出願番号 特願平4-152555

(22) 出願日 平成4年(1992)6月12日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 小松 周一

神奈川県川崎市幸区柳町70番地 株式会社

東芝柳町工場内

(72) 発明者 阿部 和秀

神奈川県川崎市幸区柳町70番地 株式会社

東芝柳町工場内

(74) 代理人 弁理士 三好 秀和 (外1名)

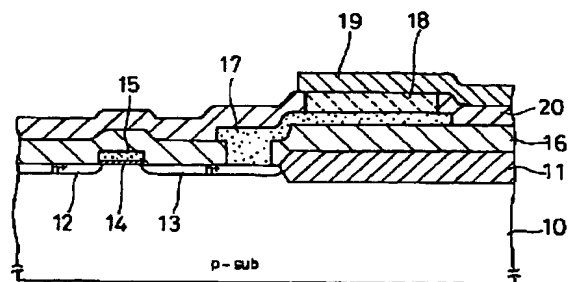
(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【目的】 高集積化されたDRAMにおいて、容量のばらつきの小さいキャパシタを備えた半導体記憶装置を提供することを目的とする。

【構成】 メモリーセルのキャパシタ材料として結晶質誘電体を用いたダイナミック・ランダム・アクセス・メモリー (DRAM) において、前記結晶質誘電体材料の結晶粒の平均粒径が0.1 μm 以下であることを特徴とする。

【効果】 高集積化されたDRAMのキャパシタの容量をばらつきの小さい状態で作製することが可能になり、誤動作の少ないDRAMを提供することができる。



1

【特許請求の範囲】

【請求項1】 メモリーセルのキャパシタ材料として結晶質誘電体を用いた半導体記憶装置において、前記結晶質誘電体の結晶粒の平均粒径が $0.1\mu\text{m}$ 以下であることを特徴とする半導体記憶装置。

【請求項2】 メモリーセルのキャパシタ材料として結晶質誘電体を用いた半導体記憶装置において、前記結晶質誘電体の結晶粒の方位がX線回折のロッピングカーブで 2.5° 以下の半値幅を有することを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、結晶質誘電体をメモリーセルのキャパシタ材料として用いた半導体記憶装置に関する。

【0002】

【従来の技術】LSIメモリー特にダイナミック・ランダム・アクセス・メモリー（DRAM）は、過去3年で約4倍の高集積化が進んでおり、今後も同じような速度で高集積化が進むと予想されている。このような高集積化が進行するに伴って、メモリーセルにおけるキャパシタの占める面積の割合は誘電体としてシリコンの酸化物などを用いている限りしだいに大きくなっている。このため、例えば4MビットDRAMにおいては、メモリーセル内のキャパシタにおいて半導体基板上に電極、誘電体層および電極を積層したスタック型や、同基板に溝を掘り溝内に薄い誘電体層を介して電極を埋めこんだトレンチ型など3次元構造が採用されている。ところが、今後さらに高集積化が進むと、その構造はますます複雑になり必要なキャパシタの実効面積を確保できなくなることが懸念されている。このような観点から、従来からDRAMのキャパシタ材料として使用されているシリコンの酸化物（ SiO_2 ：比誘電率約4）や窒化物（ Si_3N_4 ：比誘電率約7）に替えて誘電率の大きな誘電体を用いて構造を簡略化することが検討されている。

【0003】すなわち、DRAMのメモリーセル中のキャパシタの実効面積の絶対値は、高集積化が進んでも放射線によるソフトエラーを防止するために一定の容量が必要となることから、あまり小さくなっていない。しかしながら、前述のごとく、今後さらに高集積化が進むに当たってメモリーセルにおいて必要なキャパシタの実効面積を確保できなくなってくると予想されるので、キャパシタ材料に誘電率の大きな材料の使用を検討しなければならない。例えば1GDRAMにおいてはキャパシタ部分として使用できる平面面積の値は $0.1\mu\text{m}^2$ 程度になるものと予想され、トレンチ型の3次元構造のキャパシタを作成することは困難であると考えられている。前記平面面積に単純化したキャパシタを作製するためには誘電率の大きな材料が必要なことは明らかである。前記のキャパシタの実効面積の大きさは、キャパシタの構造

2

を単純なプレナー型とすると1辺が約 $0.33\mu\text{m}$ の大きさの正方形となり非常に小さな面積である。このような状況は、単純な形のスタック型の場合もほぼ同じである。

【0004】上記の考え方に基づいて、近年DRAM用キャパシタ材料として Ta_2O_5 （比誘電率約25）が有力な材料として検討が続けられており、さらに誘電率が大きな材料として、例えば、強誘電体であるジルコン酸チタン酸鉛（ $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ ）、チタン酸バリウムや、高誘電率を有する常誘電体であるチタン酸ストロンチウム（ SrTiO_3 ）、などの結晶質誘電体が検討されている。このうち特に前記結晶質誘電体をキャパシタ材料として使用すると、結晶質誘電体の有する大きな誘電率に基づき、キャパシタの構造を単純化しても非常に大きな容量を得ることができる。したがってこのような結晶質誘電体は、高集積化されたDRAM用キャパシタ材料としての期待が大きい。しかしながら、前記結晶質誘電体をキャパシタ材料として使用したDRAMにおいては、キャパシタの実効面積をより小さくした場合に各メモリーセルごとのキャパシタの容量のばらつきが大きくなり、いまだ実用化には至っていない。

【0005】

【発明が解決しようとする課題】このように、従来より、結晶質誘電体をDRAMのメモリーセルのキャパシタ材料として用いることが試みられているが、得られた半導体記憶装置では、キャパシタの実効面積が小さくなると、各メモリーセルごとにキャパシタの容量がばらついてしまうという欠点があり、何とかこのばらつきを解消させたいという要望が高まりつつあった。

【0006】この発明はこのような従来の課題を解決するためになされたもので、その目的とするところは、高集積化されたDRAMなどにおいて容量のばらつきのないキャパシタを備えた半導体記憶装置を提供することにある。

【0007】

【課題を解決するための手段及び作用】上記目的を達成するためになされた本願第1の発明は、メモリーセルのキャパシタ材料として結晶質誘電体を用いた半導体記憶装置において、前記結晶質誘電体の結晶粒の平均粒径が $0.1\mu\text{m}$ 以下であることを特徴とする半導体記憶装置であり、本願第2の発明は、前記結晶質誘電体の結晶粒の方位がX線回折のロッピングカーブで 2.5° 以下の半値幅を有することを特徴とする半導体記憶装置である。

【0008】図1に、本発明の半導体記憶装置を最も単純なプレナー型のキャパシタを有するDRAMに適用した場合の断面図を示す。このような構造においては、結晶質誘電体は、MOSトランジスタのドレイン領域13から引き出されたポリシリコンなど導電性材料からなるドレイン電極17の上に堆積される。

3

【0009】本発明者らは、結晶質誘電体をキャパシタ材料として用いたこれまでの半導体記憶装置において、キャパシタの実効面積を小さくしたときにメモリーセルごとのキャパシタの容量がばらつく原因について研究を進めた結果、次のような知見を得た。

【0010】すなわち、従来よりDRAM用のキャパシタ材料として用いられてきたシリコン酸化物やシリコン窒化物は、図3(a)に示すように、非晶質状態で使用されて来たのに対し、Pb系強誘電体やチタン酸ストロンチウムなどの結晶質誘電体では同図(b)に示すように結晶質状態で使用され、大きな誘電率を得るために結晶におけるイオン分極が利用されている。なお図3中、1, 3はそれぞれキャパシタの上部電極、下部電極であり、2, 4は非晶質誘電体または結晶質誘電体からなる誘電体膜である。そして、通常、Pb系強誘電体やチタン酸ストロンチウムなどの結晶質誘電体の膜をスパッタ法やCVD法により堆積すると、その膜の結晶粒の平均粒径は0.2~0.5 μm 程度となる。なおこの結晶粒の平均粒径は堆積した誘電体膜を透過型電子顕微鏡により観察し、結晶粒径の値を線分法により算出したものであり、線分法とは、任意の直線を切る2つの結晶粒境界の長さから粒径を求める方法である。ここで、平均粒径の大きさが0.2~0.5 μm 程度の結晶質誘電体の膜を用いて、1GDRAM程度の集積度で単純なブレナー型もしくはスタック型のキャパシタを作製した場合、1つのメモリーセルの中のキャパシタがほぼ1個もしくは2個の結晶粒からなる結晶質誘電体の膜からなることとなる。

【0011】さらに、前記結晶質誘電体の膜は通常、導電性の多結晶膜、例えばポリシリコンの上に堆積されるために、この結晶質誘電体の膜も多結晶膜となる。しかも通常は、図4(a)に示すように、個々のメモリーセルの中のキャパシタの結晶質誘電体はそれぞれ異なった結晶方位(図4には代表的に<111>方位で示してある)を持つ1個もしくは2個の結晶粒から構成されることになる。したがって、各メモリーセルのキャパシタの結晶質誘電体の結晶方位が異なるために、イオン分極の程度が異なり、結果として各キャパシタの容量がばらつき、DRAMを正常に動作させる上で障害となっていた。

【0012】これに対し本願第1の発明は、上述したような知見に基づき、図5に示すように結晶質誘電体の結晶粒径を0.1 μm 以下、すなわちキャパシタの実効面積の平方根の1/5以下程度の大きさでとして、キャパシタの電荷蓄積部を構成する結晶質誘電体の膜が10数個以上の結晶粒からなるようにしたものである。このような構成とすることにより本願第1の発明では、これらの結晶粒がそれぞれ異なった結晶方位を持っていたとしても1つのキャパシタが10個以上の結晶粒からなっているので各キャパシタの容量は平均化されてほぼ一定となり、

4

蓄積される電荷量のばらつきを抑えることが可能となる。

【0013】本発明において、ポリシリコンなどの導電性材料の上に非常に小さい結晶粒径を有する誘電体膜を堆積する方法としては、下部電極となる導電性材料の多結晶膜上に核発生箇所を多く作製すれば良い。この方法として本発明者らは、結晶質誘電体の膜を非晶質状態にて100Å以下の厚さに堆積した後、これを急速加熱して結晶化し、その後結晶質誘電体の膜を結晶状態で堆積する方法で、また、基板温度が液体窒素温度以下で、結晶質誘電体を臨界核が作製されるまで堆積し、しかる後急速に基板の温度を300℃以上に上昇させて結晶質誘電体を堆積させる方法で、さらには、基板の上に結晶質誘電体の膜を形成する前に、下部電極となる多結晶膜をプラズマ中にさらし基板に負の電圧を印加し表面にわずかな凹凸を作製する方法のそれぞれで所望の結晶粒径を有する結晶質誘電体の膜が得られることを見出した。

【0014】また本願第2の発明は、上述したような知見に基づき結晶質誘電体の結晶粒の方位がX線回折のロッピングカーブで、2.5°以下の半値幅を有するように制御したものである。なおここで、結晶粒の方位がX線回折のロッピングカーブで2.5°以下の半値幅を有するということは、結晶粒の特定の結晶方位がすべてのキャパシタにおいて基板の垂直方向に対して±5°以内に入っていることに相当する。このような構成とすることにより、本願第2の発明では、図4(b)に示すように、1つのキャパシタに含まれる前記結晶質誘電体の結晶粒が1個ないしは2個であっても、該結晶粒の特定の結晶方位がすべてのキャパシタにおいて基板シリコンの垂直方向に対して±5°以内に入っているため、結晶粒の結晶方位による誘電率の変化が小さく、各キャパシタの容量はほぼ一定となり、蓄積される電荷量のばらつきを抑えることが可能となる。

【0015】本発明において、ポリシリコンなどの導電性材料の上に結晶方位の揃った誘電体膜を堆積する方法としては、下部電極となる導電性材料の多結晶膜上に白金をまず堆積し、白金を特定の結晶方位に配向させた上でさらに、白金上に結晶質誘電体を堆積させることによりある程度結晶方位の揃った結晶質誘電体を得ることが可能である。さらに、堆積した結晶質誘電体をランプアニールにより他の部分にダメージを与えることなく熱処理することによりその結晶配向性を改善することができる。このような方法を用いて本発明者らは、基板の垂直方向に対して特定の結晶方位が±5°以内に入っている結晶質誘電体の膜が得られることを見出した。なお上記の結晶方位の傾きは、X線回折におけるロッピングカーブで半値幅が2.5°以下であることによって定義された値である。

【0016】また本発明において、前記結晶質誘電体と

5

しては、具体的には、ジルコン酸チタン酸鉛（P Z T）、ジルコン酸チタン酸ランタン鉛（P L Z T）、チタン酸ストロンチウム、チタン酸バリウム、チタン酸カルシウムなど、およびこれらの混合物があげられる。

【0017】上述したような本発明の半導体記憶装置によれば、キャパシタの実効面積をより小さくした場合もその容量のばらつきが小さく、キャパシタの実効面積が $0.5\mu\text{m}^2$ 以下、さらには $0.2\mu\text{m}^2$ 以下程度に高集積化されたDRAMにも好適に適用することができる。

【0018】

【実施例】以下、本発明を実施例により詳細に説明する。まず、本発明の第1実施例を図1を用いて説明する。

【0019】図中の10は、例えばp型のシリコン基板であり、該基板10の表面には素子領域を電気的に分離するためにフィールド酸化膜11が形成されている。前記フィールド酸化膜11で囲まれた基板10の表面には、n+型のソース、ドレイン領域12、13が互いに電気的に分離して形成されている。これらソース、ドレイン領域12、13のチャンネル領域上には、ゲート酸化膜14を介して例えばポリシリコンからなるゲート電極15が形成され、このようなソース、ドレイン領域12、13、ゲート酸化膜14およびゲート電極15によりMOSトランジスタが構成される。前記フィールド酸化膜11およびゲート電極を含む基板10全面には、例えばSiO₂からなる第1の層間絶縁膜16が被覆されている。前記ソース、ドレイン領域12、13の一部に対応する前記第1の層間絶縁膜16には、コンタクトホールが開口されている。前記第1の層間絶縁膜16上には、前記ドレイン領域と前記コンタクトホールを通して接続されるポリシリコンからなるドレイン電極17が設けられている。前記ドレイン電極17はキャパシタの下部電極をなすものである。

【0020】次いで、前記下部電極上に結晶質誘電体からなる誘電体膜18を堆積し、キャパシタを作製する過程についてさらに詳しく説明する。本実施例では、結晶質誘電体としてSrTiO₃を用い、堆積法はスパッタ法を用いた。すなわち前記下部電極を含む全面にSrTiO₃焼結体をターゲットとし、投入電力：400W、圧力：1.0Pa、ガス流量比：Ar/O₂ = 4/1、基板温度：室温、成膜速度：5A/minの堆積条件にてSrTiO₃の堆積を行った。厚さ約50Å堆積したところで一旦堆積を中止した後、堆積したSrTiO₃膜をランプアニールにより概略500℃に急速加熱した。加熱に要した時間は約1分である。本処理は、非晶質状態で堆積したSrTiO₃膜を結晶化させる処理で、結晶化の際に急速加熱により結晶核をできるかぎり多く作製する目的で行うものである。このようなランプアニール処理の後基板10を500℃としてさらにSrTiO₃

6

をスパッタ法により堆積した。堆積条件は基板温度を除き前記の条件と同一である。SrTiO₃を概略700Å堆積した後該SrTiO₃膜の結晶粒径を調べたところ、その平均値は約0.06Åであった。さらに前記SrTiO₃膜をパターニングし、しかる後第2の層間絶縁膜20および上部電極19を形成し、約4000個のメモリーセルを有するテスト・エレメント・グループ（TEG）を作り、その動作を確認したところ良好な動作が確認できた。

10 【0021】次に、本発明の第2実施例を前記第1実施例と同様に図1を用いて説明する。

【0022】図中の10は、例えばp型のシリコン基板であり、該基板10の表面には素子領域を電気的に分離するためにフィールド酸化膜11が形成されている。前記フィールド酸化膜11で囲まれた基板10の表面には、n+型のソース、ドレイン領域12、13が互いに電気的に分離して形成されている。これらソース、ドレイン領域12、13のチャンネル領域上には、ゲート酸化膜14を介して例えばポリシリコンからなるゲート電極15が形成され、このようなソース、ドレイン領域12、13、ゲート酸化膜14およびゲート電極15によりMOSトランジスタが構成される。前記フィールド酸化膜11およびゲート電極を含む基板10全面には、例えばSiO₂からなる第1の層間絶縁膜16が被覆されている。前記ソース、ドレイン領域12、13の一部に対応する前記第1の層間絶縁膜16には、コンタクトホールが開口されている。前記第1の層間絶縁膜16上には、前記ドレイン領域と前記コンタクトホールを通して接続されるポリシリコンからなるドレイン電極17が設けられている。前記ドレイン電極17はキャパシタの下部電極をなすものである。

【0023】次いで、前記下部電極上に結晶質誘電体からなる誘電体膜18を形成し、キャパシタを作製する過程についてさらに詳しく説明する。本実施例では、結晶質誘電体としてSrTiO₃を用い、堆積法はスパッタ法を用いた。すなわち前記下部電極を含む全面にSrTiO₃焼結体をターゲットとし、投入電力：400W、圧力1.0Pa、ガス流量比：Ar/O₂ = 4/1、基板温度：液体窒素温度、成膜速度：3A/minの堆積条件にてSrTiO₃の堆積を行った。堆積を開始してから10分後にランプアニールにより基板10を急速に加熱し、約1分で基板温度を500℃とし、SrTiO₃の堆積を続けた。SrTiO₃の膜の厚さが概略700Åになったところで堆積を中止し、この後該SrTiO₃膜の結晶粒径を調べたところその平均値は、約0.07Åであった。さらに前記SrTiO₃膜をパターニングし、しかる後第2の層間絶縁膜20および上部電極19を形成し、約4000個のメモリーセルを有するテスト・エレメント・グループ（TEG）を作り、その動作を確認したところ良好な動作が確認できた。

【0024】次に、本発明の第3実施例を、前記第1、第2実施例と同様に図1を用いて説明する。

【0025】図中の10は、例えばp型のシリコン基板であり、該基板10の表面には素子領域を電氣的に分離するためにフィールド酸化膜11が形成されている。前記フィールド酸化膜11で囲まれた基板10の表面には、n+型のソース、ドレイン領域12、13が互いに電氣的に分離して形成されている。これらソース、ドレイン領域12、13のチャンネル領域上には、ゲート酸化膜14を介して例えばポリシリコンからなるゲート電極15が形成され、このようなソース、ドレイン領域12、13、ゲート酸化膜14およびゲート電極15によりMOSトランジスタが構成される。前記フィールド酸化膜11およびゲート電極を含む基板10全面には、例えばSiO₂からなる第1の層間絶縁膜16が被覆されている。前記ソース、ドレイン領域12、13の一部に対応する前記第1の層間絶縁膜には、コンタクトホールが開口されている。前記第1の層間絶縁膜16上には、前記ドレイン領域と前記コンタクトホールを通して接続されるポリシリコンからなるドレイン電極17が設けられている。前記ドレイン電極17はキャパシタの下部電極をなすものである。

【0026】次いで、前記下部電極上に結晶質誘電体からなる誘電体膜18を形成し、キャパシタを作製する過程についてさらに詳しく説明する。本実施例では、結晶質誘電体としてSrTiO₃を用い、膜の堆積はスパッタ法を用いた。すなわち前記下部電極を含む全面にSrTiO₃の焼結体をターゲットとし、投入電力：400W、圧力1.0Pa、ガス流量比：Ar/O₂=4/1、基板温度400℃の条件にてSrTiO₃をRFマグネトロンスパッタ法により約800Å堆積した。このとき、SrTiO₃の堆積に先立ちポリシリコンからなるドレイン電極17にArガス中、投入電力300W、圧力1.2Paの条件にていわゆる逆スパッタを行い、前記ポリシリコンの表面にわずかな凹凸を与えた。得られたSrTiO₃膜の結晶粒の大きさを測定したところ、その平均の値は概略0.05μmであった。このSrTiO₃膜によれば、フォトリソグラフ法により下部電極上に0.3×0.3μmの大きさにパターニングしそれぞれをキャパシタの電荷蓄積部としたとき、各キャパシタにおいて結晶質誘電体の膜が、平均約16個の結晶粒からなることとなり、各キャパシタ毎の容量のばらつきはなくなり良好な動作を行うことが可能となる。

【0027】すなわち、前記SrTiO₃膜のパターニングの後このSrTiO₃膜の上方を除く領域に第2の層間絶縁膜20を形成し、続いて上部電極19としてポリシリコンをCVD法により堆積した。さらにこれらの工程の後、ワード線、ビット線を形成し、約4000個のメモリーセルを有するテスト・エレメント・グループ(TEG)を作り、その動作を確認したところ良好な動

作が確認できた。

【0028】次に、本発明の第4実施例を図2を用いて説明する。

【0029】図中の10は、例えばp型のシリコン基板であり、該基板10の表面には素子領域を電氣的に分離するためにフィールド酸化膜11が形成されている。前記フィールド酸化膜11で囲まれた基板10の表面には、n+型のソース、ドレイン領域12、13が互いに電氣的に分離して形成されている。これらソース・ドレイン領域12、13のチャンネル領域上には、ゲート酸化膜14を介して例えばポリシリコンからなるゲート電極15が形成され、このようなソース、ドレイン領域12、13、ゲート酸化膜14およびゲート電極15によりMOSトランジスタが構成される。前記フィールド酸化膜11およびゲート電極を含む基板10全面には、例えばSiO₂からなる第1の層間絶縁膜16が被覆されている。前記ソース、ドレイン領域12、13の一部に対応する前記層間絶縁膜には、コンタクトホールが開口されている。前記第1の層間絶縁膜16上には、前記ドレイン領域と前記コンタクトホールを通して接続されるポリシリコン17-1および白金17-2からなるドレイン電極17が設けられている。前記ドレイン電極17はメモリーキャパシタの下部電極をなすものである。

【0030】次いで、前記下部電極上に結晶質誘電体からなる誘電体膜18を形成し、キャパシタを作製する過程についてさらに詳しく説明する。本実施例では結晶質誘電体としてSrTiO₃を用い、SrTiO₃の堆積法はスパッタ法を用いた。また前記下部電極のうち白金17-2の堆積にはやはりスパッタ法を用い、スパッタ条件は、投入電力：400W、圧力：1.2Pa、ガス：Ar、基板温度：室温、成膜速度：100Å/minとした。誘電体膜18の形成に当たっては、まず下部電極を含む全面にSrTiO₃焼結体をターゲットとし、投入電力：400W、圧力1.0Pa、ガス流量：Ar/O₂=4/1、基板温度：室温、成膜速度：5Å/minの堆積条件にてSrTiO₃を堆積した。次に、堆積したSrTiO₃膜をランプアニールにより概略600℃に加熱した。本処理は、堆積したSrTiO₃膜の結晶粒を粗大化させる目的で行うものである。このようなアニールを行った後該SrTiO₃膜の結晶粒径を調べたところその平均値は、約0.7μmであった。さらに、X線回折によりSrTiO₃膜の配向性を調べた結果、(111)配向が強く、(111)回折線のロックングカーブから結晶粒の方位の半値幅を測定したところ2°であった。この結果SrTiO₃膜の結晶粒の<111>方位は、シリコン基板の垂直方向に対して±5°以内に入っていることが確認された。さらに前記SrTiO₃膜をパターニングし、しかる後第2の層間絶縁膜20および上部電極19を形成し、約4000個のメモリーセルを有するテスト・エレメント・グループ(TE

G)を作り、その動作を確認したところ良好な動作が確認できた。

【0031】次に、本発明の第5実施例を前記第4実施例と同様に図2を用いて説明する。

【0032】図中の10は、例えばp型のシリコン基板であり、該基板10の表面には素子領域を電気的に分離するためにフィールド酸化膜11が形成されている。前記フィールド酸化膜11で囲まれた基板10の表面には、n+型のソース、ドレイン領域12、13が互いに電気的に分離して形成されている。これらソース・ドレイン領域12、13のチャンネル領域上には、ゲート酸化膜14を介して例えばポリシリコンからなるゲート電極15が形成され、このようなソース、ドレイン領域12、13、ゲート酸化膜14およびゲート電極15によりMOSトランジスタが構成される。前記フィールド酸化膜11およびゲート電極を含む基板10全面には、例えばSiO₂からなる第1の層間絶縁膜16が被覆されている。前記ソース、ドレイン領域12、13の一部に対応する前記第1の層間絶縁膜には、コンタクトホールが開口されている。前記第1の層間絶縁膜16上には、前記ドレイン領域と前記コンタクトホールを通して接続されるポリシリコン17-1および白金17-2からなるドレイン電極17が設けられている。前記ドレイン電極17はメモリーキャパシタの下部電極をなすものである。

【0033】次いで、前記下部電極上に結晶質誘電体からなる誘電体膜18を形成し、キャパシタを作製する過程についてさらに詳しく説明する。本実施例では結晶質誘電体としてSrTiO₃を用い、堆積法はCVD法を用いた。また、前記下部電極のうち白金17-2の堆積はスパッタ法により、スパッタの条件は投入電力：400W、圧力1.2Pa、ガス：Ar、基板温度：室温、成膜速度：100Å/minとした。誘電体膜18の形成に当たっては、まず下部電極を含む全面にSrTiO₃をCVD法により、原料ソース：Sr(DPM)、Ti(i-OC₃H₇)₄、基板温度：600℃、圧力：4Torrの堆積条件にて堆積した。次に、堆積したSrTiO₃膜をランプアニールにより概略650℃に加熱した。本処理は、堆積したSrTiO₃膜の結晶粒を粗大化させる目的で行うものである。このようなアニールを行った後該SrTiO₃膜の結晶粒径を調べたところその平均値は、約0.8μmであった。さらに、X線回折によりSrTiO₃膜の配向性を調べた結果(111)配向が強く、(111)回折線のロッキングカーブから結晶粒の方位の半値幅を測定したところ2°であった。この結果SrTiO₃膜の結晶粒の<111>方位

は、シリコン基板の垂直方向に対して±5°以内に入っていることが確認された。さらに前記SrTiO₃膜をパターニングし、しかる後第2の層間絶縁膜20および上部電極19を形成し、約4000個のメモリーセルを有するテスト・エレメント・グループ(TEG)を作り、その動作を確認したところ良好な動作が確認できた。

【0034】

【発明の効果】以上に詳述したごとく、本発明によれば高集積化されたDRAM等のキャパシタの容量をばらつき小さい状態で作製することが可能になり、誤動作の少ない半導体記憶装置を提供することができるという効果が得られる。

【図面の簡単な説明】

【図1】本発明の第1～第3実施例に関わるブレナー型構造のキャパシタを有するDRAMの断面図である。

【図2】本発明の第4、第5実施例に関わるブレナー型構造のキャパシタを有するDRAMの断面図である。

【図3】(a)、(b)はそれぞれ、非晶質誘電体からなる誘電体膜を有するキャパシタおよび結晶質誘電体からなる誘電体膜を有するキャパシタの構造を示す説明図である。

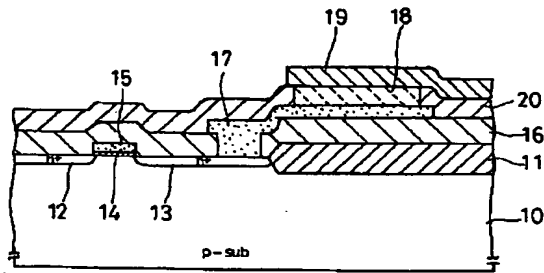
【図4】(a)、(b)はそれぞれ、結晶粒の結晶方位の揃っていない結晶質誘電体を使用したキャパシタおよび結晶粒の結晶方位の揃った結晶質誘電体を使用したキャパシタを備えたDRAMの構造を示す説明図である。

【図5】結晶粒の平均粒径が0.1μm以下である結晶質誘電体を使用したキャパシタを備えたDRAMの構造を示す説明図である。

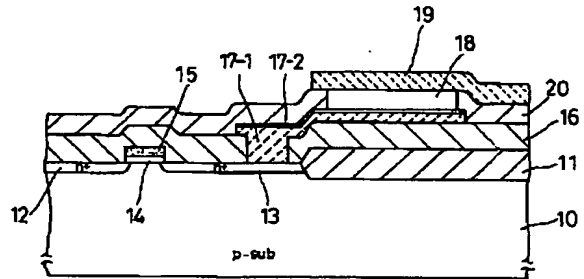
【符号の説明】

- 1 上部電極
- 2 誘電体膜
- 3 下部電極
- 4 誘電体膜
- 10 シリコン基板
- 11 フィールド酸化膜
- 12 ソース領域
- 13 ドレイン領域
- 14 ゲート酸化膜
- 15 ゲート電極
- 16 第1の層間絶縁膜
- 17 ドレイン電極
- 18 誘電体膜
- 19 上部電極
- 20 第2の層間絶縁膜

【図1】

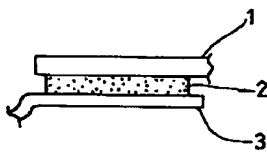


【図2】



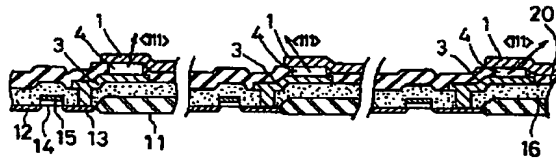
【図3】

(a)

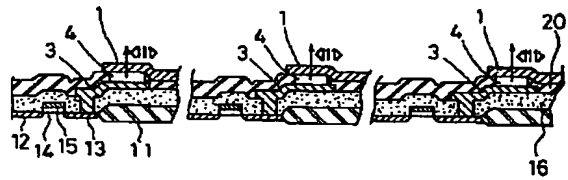


【図4】

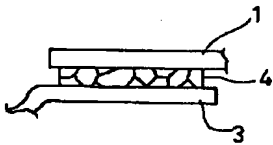
(a)



(b)



(b)



【図5】

